



KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020072657 A

(43)Date of publication of application: 18.09.2002

(21)Application number: 1020010012603

(22)Date of filing: 12.03.2001

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.

(72)Inventor: HONG, SU JIN
HUH, JIN HWA

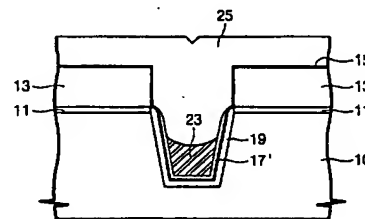
(51)Int. Cl. H01L 21/76

(54) TRENCH ISOLATION TYPE SEMICONDUCTOR DEVICE AND METHOD FOR FORMING TRENCH ISOLATION LAYER

(57) Abstract:

PURPOSE: A trench isolation layer formed in a trench with high aspect ratio is provided to prevent a silicon nitride liner from being damaged when lower and upper parts of the trench are filled with different insulating materials.

CONSTITUTION: The silicon nitride liner(15) is formed on a substrate (10) in which the trench for device isolation is formed by trench etching. As a protection layer, a silicon oxide liner(17) such as HTO is overlaid on the silicon nitride liner(15) by CVD. The silicon oxide liner (17) is then subjected to densification at high temperature of 800°C or more. Next, the first insulating material such as SOG is filled in the trench and partially removed by etching. When the first insulating material is etched from the upper part of the trench, the silicon oxide liner(17) prevents the damage of the silicon nitride liner(15). Next, the second insulating material(25) such as HDP CVD is filled in the upper part of the trench.



&copy; KIPO 2003

Legal Status

Date of final disposal of an application (20030623)

Number of trial against decision to refuse (2003101002856)

Date of requesting trial against decision to refuse (20030722)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

H01L 21/76

(11) 공개번호 특2002-0072657

(43) 공개일자 2002년09월18일

| | |
|-----------|-----------------------------|
| (21) 출원번호 | 10-2001-0012603 |
| (22) 출원일자 | 2001년03월12일 |
| (71) 출원인 | 삼성전자 주식회사 |
| | 경기 수원시 팔달구 매탄3동 416 |
| (72) 발명자 | 허진화 |
| | 인천광역시남구도화1동388-22대동주택3차402호 |
| | 홍수진 |
| | 서울특별시서초구양재동17-16 |
| (74) 대리인 | 임창현, 권혁수 |

심사청구 : 있음

(54) 트렌치 소자 분리형 반도체 장치 및 트렌치형 소자 분리막형성방법

요약

트렌치형 소자 분리막 형성 방법 및 트렌치 소자 분리형 반도체 장치가 개시된다. 본 발명에 따르면, 기판에 트렌치 소자 분리막을 형성함에 있어서, 실리콘 질화막 라이너 위로 실리콘 산화막 라이너를 보호막으로서 CVD로 형성하고, 실리콘 산화막 라이너에 대한 800℃ 이상의 열경화(densification)를 실시한다. 열경화된 실리콘 산화막 위로 트렌치에 SOG 방식으로 제1 매립막을 적층한다. 트렌치를 채운 제1 매립막을 식각을 통해 일부 제거하여 트렌치의 상부 공간이 드러나게 한다. 드러난 트렌치 상부 공간에 제2 매립막으로 HDP CVD막을 적층 한다.

도표도

도5

영세서

도면의 간단한 설명

도1 내지 도6은 본 발명의 일 실시예에서 트렌치 소자 분리막이 이루어지는 각 단계를 나타내는 공정 단면도들이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 트렌치 소자 분리형 반도체 장치 및 트렌치형 소자 분리막 형성방법에 관한 것으로, 보다 상세하게는 2단 매립 구조를 가지는 트렌치 소자 분리막을 가지는 반도체 장치 및 트렌치형 소자 분리막 형성 방법에 관한 것이다.

반도체 장치의 소자 고집적화에 따라 소자 분리막으로 STI(Shallow Trench Isolation)형 소자 분리막 사용이 늘고 있다. STI를 이용한 소자 분리법은 기판에 트렌치를 식각 형성하고 이 트렌치에 산화막을 채워 넣는 것으로, LOCOS(Local Oxidation of Silicon) 방법에 비해 버즈빅(bird's beak)의 문제를 없앨 수 있다.

그러나, 반도체 장치의 소자 고집적화가 더욱 높은 정도로 이루어지면 소자 분리막이 채워질 트렌치의 깊이는 동일 수준을 유지하는 상태에서 폭이 상대적으로 줄어들어 가로세로비(aspect ratio)가 높은 값을 나타내는 경우가 많아진다. 따라서, 트렌치에 보이드(void)나 심(seam) 등의 결함이 없이 실리콘 산화막을 채워 넣는 것이 요청되고 있다.

따라서, 가로세로비가 높은 트렌치를 채울 산화막을 선택하면서 공간 채움성(gap filling)이 우수한 산화막을 형성하는 방법이 여러가지로 모색된다. 하나의 방법으로 오존 TEOS(Tetra Ethyle Ortho Silicate) USG(Undoped Silicate Glass)막이나 HDP(High Density Plasma) CVD(Chemical Vapor Deposition)로 이루어진 막을 사용하는 방법이 제시되었다. 그러나, 이를 HDP CVD 등을 이용한 산화막 적층도 트렌치 가로세로비가 높은, 가령 폭이 1200 옹스트롬이고, 깊이 6000 옹스트롬 정도인, 트렌치를 충분히 채울 수 없는 경우가 많다. 따라서, SOG(Spin On Glass)막을 사용하는 방법이 대안으로 제시되었다. SOG는 도포(coating) 방식으로 기판에 적층되며, 처음 액상 혹은 졸(sol) 상태를 가지므로 갭 필(gap fill)특성

이 좋고, 단차를 줄이는 효과를 가질 수 있다.

그런데, SOG막의 경우는 후속 열처리를 통해 산화 실리콘막으로 변화를 시키는 치유 과정을 통해서도 전체가 완전한 산화 실리콘막으로 변화되기 어렵다. 따라서, 치밀한 구조를 갖지 못하여 습식 식각이나 세정 단계에서 쉽게 제거되는 단점이 있다. 그리고, 유기 SOG막의 경우에는 충분한 열처리가 어렵고, 유기 성분이 남아 반도체 장치 작동에 영향을 미칠 수 있다. 또한, 도포 후 처리과정을 통하여 부피의 변화(shrinkage)가 심하다. 따라서, SOG막은 막 형성 후의 열처리 공정 등에서 크랙(crack)을 유발시키기 쉽고, 부분별 치유 상태에 따라 열팽창 등에 따른 장력(stress)의 차이가 발생하므로 크랙 등 불량 발생의 가능성을 높여 소자 신뢰성을 떨어뜨리므로 구조막으로 사용하기에 적절하지 않은 면이 많다.

최근에는 이러한 SOG막의 문제점을 극복하면서 트렌치 소자 분리막을 결합없이 형성하기 위한 다른 연구가 진행되고 있다. 즉, 트렌치 하부에는 SOG막을 채워 트렌치의 가로세로비 증가를 상쇄시키고, 트렌치 상부에는 CVD 산화막을 채워 SOG 막의 결함을 보충할 수 있는 트렌치 소자 분리막 형성 방법이 연구되고 있다. 이를 방법 각각에 대한 이점과 함께 여러 문제점이 드러나면서 이를 문제점에 대한 해결 방법이 함께 요청되고 있다.

본 발명이 이루고자하는 기술적 과제

본 발명은 트렌치 소자 분리형 반도체 장치의 트렌치 하부와 상부를 별도의 절연막으로 매립하는 경우의 문제점의 하나로 나타나는 실리콘 질화막 라이너(liner)의 손상을 막기 위한 것이다. 즉, 트렌치에 실리콘 질화막 라이너를 형성하고 그 위로 SOG막 등을 채우고, 이를 일부 식각하고, 다시 CVD막으로 트렌치 잔여 공간을 채우는 과정을 생각하면, SOG막 등을 일부 식각 하는 과정에서 트렌치 위쪽의 실리콘 질화막 라이너가 함께 제거될 수 있다. 이렇게 실리콘 질화막 라이너가 제거되면 후속 산화 공정에서 트렌치 주위의 기판에 스트레스가 여기되고, 기판의 결정 구조 손상이 발생할 수 있다. SOG막 등의 일부 식각 과정에서 실리콘 질화막 라이너가 보존되는 경우에도 트렌치의 잔여 공간을 채우는 공정이 HDP CVD로 이루어지면 공정중에 실리콘 질화막 라이너가 플라스마에 의한 손상을 받아 제거될 위험이 크다.

이런 위험을 방지하기 위한 하나의 방법을 보면, 기판에 트렌치를 형성하고 실리콘 질화막 라이너를 형성한 뒤에 HTO(high temperature oxide)같은 보호막을 먼저 형성한다. 그리고, 1차 매립 물질 및 2차 매립 물질을 적층하여 트렌치를 채움으로써 소자 분리막을 형성하게 된다. 그러나, 이런 방법에서도 통상 식각되어야 할 1차 매립 물질의 두께가 보호막의 두께에 비해 두껍고, 1차 매립 물질과 보호막의 식각 선택비가 충분히 높지 않아 1차 매립 물질을 일부 식각하는 단계에서 보호막도 대부분 제거된다. 그리고, 갭 필 능력이 좋은 HDP CVD막을 2차 매립 물질로 적층하는 경우 표면이 드러나 트렌치 상부의 실리콘 질화막 라이너가 HDP CVD 공정 중의 플라스마에 의해 손상을 입고 제거된다. 따라서 후속 열처리가 이루어질 때 실리콘 질화막 라이너가 산소 배리어의 역할을 할 수 없고, 기판에 스트레스가 야기되는 것을 방지할 수 없다.

따라서, 본 발명은 이에서 언급된 문제를 해결하기 위한 것으로, 트렌치형 소자 분리에 사용되는 실리콘 질화막 라이너의 손상을 막을 수 있는 반도체 장치 및 트렌치형 소자 분리막 형성방법을 제공하는 것을 목적으로 한다.

본 발명의 다른 목적은 높은 가로세로비를 가진 트렌치를 트렌치 주변의 실리콘 결정 결함을 예방하면서 채울 수 있도록 하는 반도체 장치 및 트렌치형 소자 분리막 형성방법을 제공하는 것이다.

본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명 방법은, 기판에 트렌치 소자 분리막을 형성함에 있어서, 먼저, 트렌치 식각을 통해 소자 분리용 트렌치가 형성된 기판에 실리콘 질화막 라이너를 형성한다. 실리콘 질화막 라이너 위로 실리콘 산화막 라이너를 보호막으로서 CVD 방법으로 적층한다. 적층된 실리콘 산화막 라이너에 대한 열경화(densification)를 실시한다. 열경화된 실리콘 산화막 위로 트렌치에 제1 매립막을 적층한다. 제1 매립막으로는 오존 TEOS USGL나 HDP CVD 방식의 실리콘 산화막이 사용되는 것도 가능하다. 가로세로비 증가에 따라 도포 방식으로 트렌치를 채우는 SOG (Spin On Glass)막이 큰 비중을 차지할 것이다. 트렌치를 채운 제1 매립막을 식각을 통해 일부 제거하여 트렌치의 상부 공간이 드러나게 한다. 드러난 트렌치 상부 공간에 제2 매립막을 적층한다. 제2 매립막은 HDP CVD막으로 한다.

본 발명에서 실리콘 산화막 라이너는 50 내지 400 Å스스로 형성하며, 바람직하게는 HTO 산화막으로 형성한다. 그리고, 열경화는 800°C 이상, 바람직하게는 1000°C 이상의 고온으로 30분 내지 1시간 30분 실시한다.

후속 공정으로, HDP CVD막을 평탄화하는 단계와 트렌치 형성에 사용된 실리콘 질화막의 트렌치 식각 패터, 패드 산화막의 제거하는 단계가 이어지고, 트렌치 소자 분리가 완성된다.

상기 목적을 달성하기 위한 본 발명 반도체 장치는 트렌치형 소자 분리막의 구성에 있어서, 트렌치의 상하부가 구분되며, 트렌치 하부는 실리콘 기판에서 트렌치 중심 방향으로 실리콘 질화막 라이너, 열경화된 실리콘 산화막 하부 라이너, 제1 매립막을 구비하며, 트렌치 상부는 실리콘 질화막 라이너, 상기 하부 라이너에 비해 두께가 줄어든 열경화된 실리콘 산화막 상부 라이너, 제2 매립막을 구비하는 것을 특징으로 한다. 통상적으로, 실리콘 기판과 실리콘 질화막 라이너 사이에는 열산화막이 더 구비된다.

본 발명에서 제1 매립막은 HSQ(hydro silsesquioxane)나 폴리실라제인 (polysilazane) 계열의 SOG막이며, 제2 매립막은 HDP CVD방식의 실리콘 산화막이 되는 것이 가장 전형적이다.

이하 도면을 참조하면서, 실시예를 통해 본 발명을 보다 상세히 설명하기로 한다.

도1을 참조하면, 실리콘 기판(10)에 패드 산화막(11)과 식각 방지용 실리콘 질화막이 형성된다. 그리고, 노광 공정을 통해 도식되지 않는 포토레지스트 패턴이 이루어진다. 포토레지스트 패턴을 식각 마스크로 이용하여 실리콘 질화막을 식각하고 트렌치 식각 패턴(13)을 형성한다. 포토레지스트 패턴이 제거되고,

트렌치 식각 패턴(13)을 이용한 기판(10) 식각이 이루어지고, 트렌치(20)가 형성된다. 트렌치(20)의 내벽이 식각 과정을 통해 입은 결장 손상을 치유하기 위해 어닐링이 이루어진다. 이때 트렌치(20) 내벽에 열산화막(19)이 형성된다. 열산화막(19) 위로 실리콘 질화막 라이너(15)가 CVD를 통해 100 옹스트롬 두께로 형성된다.

도2를 참조하면, 실리콘 질화막 라이너(15) 위에 CVD로 HTO 산화막(17)을 200 옹스트롬 두께로 적층한다. HTO 산화막(17)은 실리콘 질화막 라이너를 보호하기 위한 라이너를 이루며 형성 온도는 790°C로 한다. 통상 본발명의 열경화 처리가 되지 않은 HTO 산화막(17)은 LAL 200 용액으로 30초 처리할 경우 SC1 세정액으로 세정하는 10분의 공정을 포함하여 350 옹스트롬의 식각율을 나타낸다. 이때 LAL 200 용액은 불산(HF)과 염화 암모늄(NH₄Cl) 혼합 용액으로 통상의 열산화막에 대한 식각율이 분당 200 옹스트롬 정도인 것이며, SC1 용액은 수산화 암모늄(NH₄OH)과 과산화수소(H₂O₂)가 1:4의 부피비로 20 부피의 순수에 용해된 세정액의 일종이다.

그리고, HTO 산화막(17)에 대한 열경화를 실시한다. 열경화를 위한 처리 온도는 800°C 이상으로 하되 1100°C 이상의 고온에서 30분 내지 90분 정도 처리하는 것이 바람직하다. 열경화에 따른 HTO 산화막의 LAL 용액 처리에 대한 식각율은 평탄한 기판에 HTO 산화막을 적층한 경우에서 900°C 60분에 대해 250 옹스트롬, 1000°C 60분에 대해 210 옹스트롬, 1150°C 60분에 대해 145 옹스트롬의 식각율을 나타내는데 온도 대비 비례적 관계가 있음을 알 수 있다.

도3을 참조하면, 트렌치 내벽에 열경화된 HTO 산화막이 형성된 상태에서 제1 매립막으로 S06막(21)을 형성한다. S06막(21)으로는 HSQ막이 많이 사용되나 본 실시예에서는 폴리실라제인 계열을 사용한다. 폴리실라제인 계열로는 고형 성분으로 고온 처리가 용이한 -(Si₂H₅NH)_n- 형태의 퍼하이드로 폴리실라제인(perhydro polysilazane)을 디부틸 에테르 같은 용매에 녹여 5 내지 15 중량%를 가지는 것을 사용할 수 있다. S06막의 두께는 폴리실라제인 용액의 고형물 중량%와 도포에 사용된 스피너(spinner)의 속도에 따라 조절될 수 있다. 또한, 고형물의 함량이 적고 점도가 낮은 경우, 단차진 부분 가운데 트렌치를 이루는 오목부에는 용액이 대부분 채워지도록 도포막이 형성되고, 실리콘 질화막 마스크로 덮인 활성 영역의 볼록부에는 도포막이 미세한 두께로 형성되는 것도 가능하다. 따라서 기판에서 식각으로 제거해야 할 S06막의 두께를 줄일 수 있다.

S06막(21)을 형성한 뒤에는 이 막을 실리콘 산화막으로 변화시키기 위한 후속 처리를 실시하게 된다. 후속 처리는 베이킹과 어닐링으로 크게 나누어질 수 있고, 베이킹 단계에서는 80 내지 350°C 정도의 프리 베이킹(pre bake)과 400°C를 전후한 하드 베이킹(hard bake) 및 이들의 조합이 모두 가능하다. 수분(minute)의 프리 베이킹을 통해 대부분의 용매성분을 제거하고, 다음으로, 하드 베이킹을 통해 S06막에서 용매성분과 사일렌 가스, 기타 질소, 수소를 포함하는 성분이 가스 형태로 배출될 수 있다. 어닐링(annealing)은 700 내지 800°C의 고온에서 10분 내지 60분 동안 폴리실라제인의 유기 성분 혹은 수소 성분을 산소로 치환하면서 산화 실리콘막을 이루어나가는 큐어링(curing) 작용이 주로 이루어진다. 큐어링이 충분히 이루어지지 않는 경우에는 S06막의 식각율이 매우 높아 실리콘 질화막 라이너에 대한 보호막으로 사용되는 HTO 산화막이 제거되기 전에 제1 매립막을 충분히 제거할 수 있다. 그러나, 트렌치에 남은 S06막의 양을 일정한 두께로 조절하기 어렵고, 전량이 제거될 수 있으므로 큐어링은 필요하다.

도4를 참조하면, 도3의 S06막(21)을 식각으로 부분 제거한다. S06막(21)에 대한 식각은 식각 결과로 얻어진 S06막(23) 상면이 실리콘 기판면을 기준으로 아래쪽 1000 옹스트롬 되는 지점까지 낮추어지도록 이루어지는 것이 바람직하다. 이때 기판면 이하 1000 옹스트롬의 깊이는 후속 공정에서 트렌치 소자 분리막 상부가 제거되고 그 하부에 있는 S06막(23)이 식각액이나 세정액에 드러날 위험이 방지될 수 있는 수치이다. 이때, S06막(21)의 식각은 LAL 200 같은 에천트를 이용한 습식 식각이나 건식 식각으로 이루어질 수 있으며, 기판전면에 걸쳐 S06막(21)을 일정 두께 리세스 시키는 작용을 한다.

S06막(21)에 대한 식각이 이루어지면서 트렌치의 실리콘 질화막 라이너(15) 위에 형성된 HTO 산화막(17)이 노출된다. 그리고 노출된 HTO 산화막(17)에 대해서 식각작업이 작용하여 식각이 이루어진다. 그러나 HTO 산화막(17)은 열경화된 것이므로 S06막(21)과 함께 식각되는 경우에 식각율이 S06막(21)에 비해 떨어진다. 따라서 S06막(21)에 대한 리세스가 이루어질 때 종래에 열경화 처리를 하지 않은 HTO 산화막이 제거되는 두께를 적용한 경우에도, 잔존 두께는 줄어들지만 열경화된 HTO 산화막 일정 부분(17')은 잔류하게 된다.

도5를 참조하면, 상면이 리세스되어 부분적으로 트렌치를 채우고 있는 S06막(23) 위로, 트렌치의 잔여 부분을 채우기 위해 HOP CVD를 통한 실리콘 산화막(25), 즉, 제2 매립막의 적층이 이루어진다. 제2 매립막은 트렌치 잔여 공간을 충분히 채우도록 적층된다. HOP CVD는 특성상 플라스마에 의해 트렌치의 상부 모서리 부분의 하지막이 손상을 입고 제거되기 쉽다. 이런 작용은 HOP CVD의 갭 필 능력을 높이는 작용을 하게 된다. 그러나, 본 예에서 트렌치 입구의 실리콘 질화막 라이너(15)는 HTO 산화막 잔여 부분(17')에 의해 보호되므로 실리콘 질화막 라이너(15)가 HOP CVD 과정 중에 트렌치 벽에서 떨어져 나가는 것이 예방된다.

이때 HTO 산화막은 제2 매립막 적층단계에서 식각을 받아 거의 제거되는 상태가 될 수도 있으나, 실리콘 질화막이 유효한 두께를 가지고 남게 된다면 완성되는 반도체 장치의 기능상 문제는 초래되지 않는다.

도5 및 도6을 참조하면, 기판(10)에 적층된 HOP CVD 실리콘 산화막(25)에 대한 경화작업(densification)이 통상 이루어진 뒤, CMP를 통해 실리콘 산화막(25) 상부가 제거되면서 기판 평탄화가 이루어진다. 활성 영역 위쪽에 실리콘 질화막으로 이루어진 트렌치 식각 패턴(13)이 드러난다. 드러난 트렌치 식각 패턴(13)은 인산을 에천트로 하는 습식 식각을 통해 제거된다. 그리고, 패드 산화막(11)이 제거되고, 활성영역의 실리콘 기판(10)이 드러나게 된다. 이 과정에서 습식 식각과 세정을 통해 트렌치를 채운 HOP CVD 실리콘 산화막도 일부 제거되어 기판과 비슷한 수준의 실리콘 산화막(27)만 남게 된다.

이상의 과정을 통해 형성된 반도체 장치의 트렌치형 소자 분리막의 구성을 살펴보면, 소자 분리막은 크게 상하부가 구분되며, 트렌치 하부에서는 실리콘 기판에서 트렌치 중심 방향으로 열산화막, 실리콘 질화막 라이너, 열경화된 실리콘 산화막 하부 라이너, 제1 매립막인 S06막을 구비한다. 산화막 하부 라이너는 최

초의 적층 두께인 200 옹스트롬을 유지한다. 한편, 트렌치 상부에서는 열산화막, 실리콘 질화막 라이너, 산화막 하부 라이너에 비해 두께가 최소 0으로 줄어든 열경화된 실리콘 산화막 상부 라이너, 제2 매립막인 HDP CVD막을 구비한다.

발명의 효과

본 발명에 따르면, 높은 가로세로비를 가지는 고집적 반도체 장치의 트렌치형 소자 분리막을 형성함에 있어서, 트렌치에 2단계로 소자 분리막을 매립하면서 제2 매립 산화막이 채워질 공간을 형성하는 제1 매립 산화막 식각 과정에서 실리콘 질화막 라이너가 제거되는 것을 효과적으로 방지할 수 있다. 따라서, 기판 실리콘 결합에 따른 동작 전류 누설과 반도체 소자 열화를 방지할 수 있다.

(57) 청구의 범위

청구항 1. 기판에 형성된 트렌치 소자 분리막이 기판과의 계면으로부터 중심쪽으로 실리콘 질화막 라이너, 실리콘 산화막 라이너 및 매립막을 구비하여 이루어지며,

상기 매립 산화막은 상호 별도로 형성되어 트렌치 하부를 채우는 제1 매립막과 상부를 채우는 제2 매립막으로 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 2. 제 1 항에 있어서,

상기 제1 매립막은 SOG(Spin On Glass)막인 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 3. 제 1 항에 있어서,

상기 제2 매립막은 HDP CVD(high density plasma chemical vapor deposition) 산화막인 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 4. 제 1 항에 있어서,

상기 기판과 상기 실리콘 질화막 라이너 사이에 실리콘 산화막이 더 구비되는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 5. 제 4 항에 있어서,

상기 실리콘 산화막은 열산화막으로 이루어지며,

상기 실리콘 산화막 라이너는 800℃ 이상의 온도로 열경화처리된 HTO(high temperature oxide) 산화막으로 이루어지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 6. 제 5 항에 있어서,

상기 트렌치 상부에서 상기 실리콘 산화막 라이너는 상기 트렌치 하부 상기 실리콘 산화막 라이너의 두께에 비해 줄어든 두께를 가지는 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 7. 제 1 항에 있어서,

상기 제1 매립막 상면이 트렌치 입구의 기판면을 기준으로 1000 옹스트롬 이상 저하(recess)된 것을 특징으로 하는 트렌치 소자 분리형 반도체 장치.

청구항 8. 기판에 활성영역을 정의하는 트렌치 식각 패턴을 형성하는 단계,

상기 트렌치 식각 패턴을 식각 마스크로 상기 기판에 소자 분리용 트렌치를 형성하는 단계,

상기 트렌치 내벽에 실리콘 질화막 라이너를 형성하는 단계,

상기 실리콘 질화막 라이너 내측에 실리콘 산화막 라이너를 형성하는 단계,

상기 실리콘 산화막 라이너를 경화시키는 열처리를 실시하는 단계,

경화된 상기 실리콘 산화막 라이너 내측에 제1 매립막을 채우는 단계,

상기 제1 매립막을 식각하여 상면을 저하(recess)시키는 단계,

상면이 저하된 상기 제1 매립막 위로 제2 매립막을 적층하여 상기 트렌치를 채우는 단계를 구비하는 트렌치 소자 분리막 형성 방법.

청구항 9. 제 8 항에 있어서,

상기 트렌치 형성 단계와 상기 실리콘 질화막 라이너 형성 단계 사이에 상기 트렌치 내벽에 열산화막을 형성하는 단계가 더 구비되는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

청구항 10. 제 8 항에 있어서,

상기 실리콘 산화막 라이너는 HTO 산화막으로 이루어지며,

상기 열처리는 800℃ 이상으로 30분 내지 90분 이루어지는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

청구항 11. 제 8 항에 있어서,

상기 제1 매립막을 채우는 단계는 SOG막 도포로 이루어지며,

상기 제1 매립막을 식각하는 단계 전에 상기 SOG막을 실리콘 산화막으로 변화시키는 큐어링 단계가 더 구

비되는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

청구항 12. 제 11 항에 있어서,

상기 SOG막은 폴리실라제인 계열 물질로 이루어지며,

상기 큐어링 단계는 700 내지 800℃로 10 내지 60분 동안 이루어지는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

청구항 13. 제 8 항에 있어서,

상기 제2 매립막을 적층하는 단계는 HDP CVD로 이루어지는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

청구항 14. 제 8 항에 있어서,

상기 제2 매립막을 평탄화 식각으로 제거하여 상기 식각 방지막 패턴의 상부를 드러내는 단계와

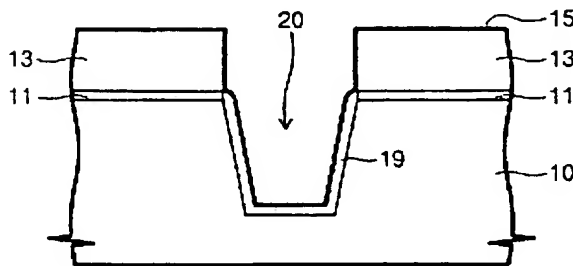
상기 트렌치 식각 패턴을 선택적으로 제거하는 단계가 더 구비되는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

청구항 15. 제 8 항에 있어서,

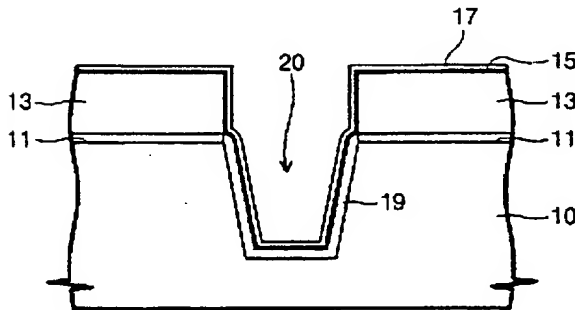
상기 제1 매립막을 식각하는 단계는 습식 식각으로 이루어지는 것을 특징으로 하는 트렌치 소자 분리막 형성 방법.

도면

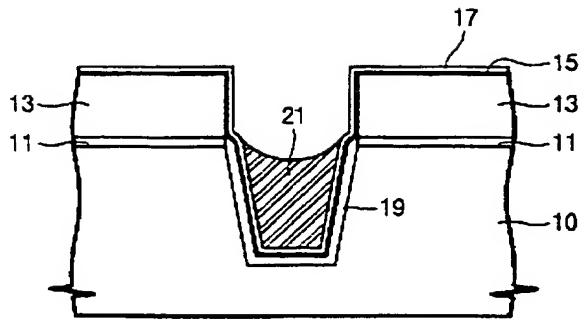
도면1



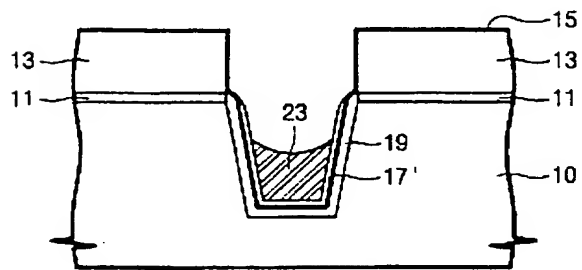
도면2



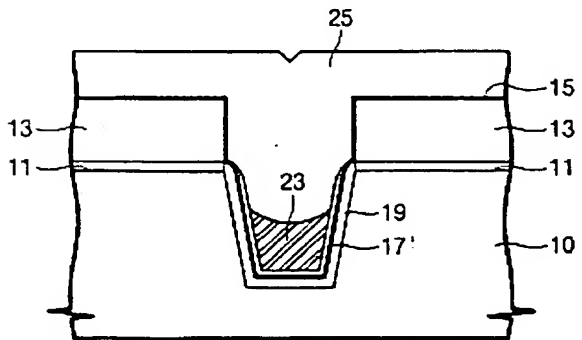
도 B3



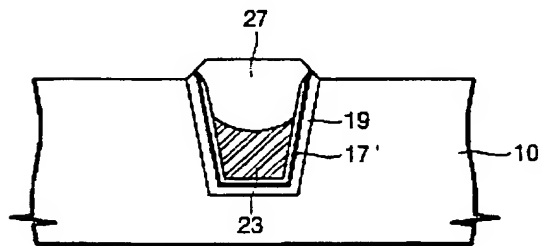
도 B4



도 B5



도 B6





국 2002-0072657